



ПРОГРАММА

семинара "Разработка высокоскоростных устройств сбора, обработки и формирования радиосигналов"

«21» декабря, Москва

Авторы и докладчики семинара:

- **Шлеев Сергей Евгеньевич**, главный конструктор направления АЦП компании "Инструментальные Системы"
- **Капитанов Александр Анатольевич**, старший инженер лаборатории СЦОС компании "Инструментальные системы"

10:00 – 11:30 Секция 1.

1. Типы АЦП
2. Основные характеристики АЦП
3. Российские и международные стандарты на измерение характеристик АЦП
4. Прогресс разработки высокоскоростных АЦП
5. Обзор современных высокочастотных АЦП российского и иностранного производства
6. Практические схемы включения высокоскоростных АЦП, особенности схемотехнических и конструкторских решений
7. Архитектуры узлов АЦП, ставшие классическими
8. Синхронизация АЦП в многоканальных системах сбора данных
9. Использование АЦП в целях цифрового радиоприёма (SDR)
10. Сопоставление характеристик АЦП и характеристик приёмников – методология и практика
11. Построение и архитектуры цифровых приёмников
12. Оптимизация параметров узлов цифровых приёмников
13. Особенности подключения и синхронизации АЦП и ЦАП с интерфейсом JESD204

11:30 – 12:00 Кофе-брейк

12:00-13:30 Секция 2.

1. Характеристики ЦАП
2. Специфические искажения ЦАП
3. Практические схемы включения высокоскоростных ЦАП, особенности схемотехнических и конструкторских решений
4. Узлы тактирования АЦП и ЦАП – требования и достижимые характеристики
5. Программа ISVI для измерения характеристик сигналов и параметров АЦП
6. Построение стенда для проведения испытаний АЦП
7. Программа АИКС автоматизированных испытаний
8. Демонстрация SDR USB-3 системы на базе 1GSPS 14-bit АЦП

13:30 – 14:30 Обед

14:30 – 16:00 Секция 3.

Особенности подключения АЦП и ЦАП в ПЛИС

Структура современных ПЛИС Xilinx

- Входной и выходной буфер *IOMUX*, назначение, особенности, применение.
- Узлы подстройки задержки на входе и выходе – *IODELAY*.
- Логика ПЛИС: от *FD* триггера до блочной памяти *RAMB*.

Подключение АЦП / ЦАП по последовательной и параллельной схеме (LVDS / LVTTL / LVCMOS)

- Особенности реализации буферов данных для согласования данных по времени и фазе.
- Узлы упаковки данных для многоканальных систем передачи информации
- Буферизация потока данных – схемы FIFO, управление потоками
- Подключение внешней DDR-памяти к ПЛИС для буферизации потоков данных
- Пример реализации проекта от стадии верификации до законченного файла конфигурации прошивки ПЛИС

Подключение АЦП по интерфейсу JESD204B

- Особенности реализации, IP CORE Xilinx, основные функции и назначение
- Вопросы синхронизации данных и старта

16:00 – 16:30 Кофе-брейк

16:30 – 18:00 Секция 4.

Общие вопросы фильтрации сигналов в задачах ЦОС

Классические схемы DDC/DUC

- Построение DDS для DDC
- Фильтрация с помощью CIC-фильтров
- Фильтрация с помощью FIR-фильтров
- Полифазные фильтры DDC. Особенности и трудности реализации
- Практическое применение фильтров на ПЛИС (объем занимаемых ресурсов, достигаемые скорости обработки, логика ПЛИС и т.д.)
- Использование Partial Reconfiguration для реализации схем фильтрации
- Примеры реализации фильтров на ПЛИС в реальной жизни

БПФ и ОБПФ, основные особенности

- БПФ – с прореживанием по частоте и по времени
- Схемы Radix-2, Radix-4, Radix-8, основные отличия
- Сравнение схем БПФ – последовательная и параллельная структура
- Отличительные особенности реализации конвейерных БПФ
- Практические примеры реализации БПФ в формате с плавающей точкой на ПЛИС

Средства разработки и верификации проектов на ПЛИС

- «Классический» САПР: Xilinx ISE, Plan Ahead, Vivado
- Matlab Simulink, GNU Octave, ScopeFIR и др. для расчета узлов ЦОС
- Использование TCL-скриптов для задач автоматизированного управления проектами на ПЛИС