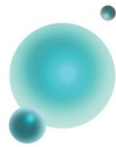


тел. +7(495)505-15-38

тел\факс +7(495)280-04-19

[info@sovel.org](mailto:info@sovel.org), [www.sovel.org](http://www.sovel.org)



Информационно - аналитический  
Центр Современной Электроники

## Программа семинара

### «Проектирование аппаратуры на ПЛИС. Современные подходы и средства разработки»

#### Семинар предназначен для:

- схемотехников
- разработчиков встроенного программного обеспечения

#### Докладчики:

- Федоров Сергей Владимирович, преподаватель, МГТУ им.Н.Э. Баумана, Кафедра Информационные Системы и Телекоммуникации (ИУ-3), ведущий разработчик проектов с применением ПЛИС и ЦСП;
- Кривошеин Борис Николаевич, директор департамента РЭА, ЗАО «Ланит-Терком», руководитель лаборатории MGLab.Xilinx Санкт-Петербургского государственного университета, руководитель спецкурса «Проектирование цифровых систем» на математико-механическом факультете Санкт-Петербургского государственного университета.
- Акулин Александр Игоревич, технический директор производственного холдинга PCB technology, г.Москва. Автор и лектор курса «Проектирование систем на печатной плате» для магистрантов МИЭТ.
- Медведев Олег Валерьевич, инженер ЗАО «Ланит-Терком», занимается реализацией вычислительно сложных алгоритмов на ПЛИС. До этого занимался разработкой языка высокоуровневого описания аппаратуры и его трансляцией в VHDL.

#### 9.00 – 10.00 Регистрация участников

#### 10.00 – 11.30 Часть I Архитектура и САПР современных ПЛИС.

Новые семейства и элементы архитектуры, тенденции развития ПЛИС, САПР производителей ПЛИС и третьих фирм.

#### Докладчик - Сергей Федоров:

- Общие тенденции развития и перспективы ПЛИС
- Семейства Stratix 10, Arria 10, MAX10 (Altera)

#### Докладчик - Борис Кривошеин:

- Семейства ПЛИС UltraSCALE и UltraSCALE+ (Xilinx)

Методология проектирования. Средства высокоуровневого описания и синтеза

#### Докладчик - Борис Кривошеин:

- Vivado Design Suite (Xilinx)
- Vivado HLS (Xilinx)

*Докладчик - Сергей Федоров:*

- Quartus II (Altera)
- Обзор средств и подходов высокоуровневого проектирования: OpenCL, MATLAB/Simulink
- Использование IP ядер при проектировании ПЛИС Altera

**11.30 – 12.00 Кофе-брейк**

**12.00 – 12:45 Часть I Архитектура и САПР современных ПЛИС (продолжение)**

*Докладчик - Александр Акулин:*

- Планировщик ПЛИС FPGA System Planner (FSP)

**12.45 – 13.30 Часть II Верификация проектов.**

Современные подходы и средства верификации.

*Докладчик - Борис Кривошеин:*

- Метрики и техники верификации. Формальные методы, моделирование.
- Языки верификации
- Questa Verification Platform (Mentor Graphics)

**13.30 – 14.30 Обед**

**14.30 – 16.00 Часть II Верификация проектов (продолжение)**

*Докладчик - Сергей Федоров:*

- IP Altera для верификации
- Возможности языка SystemVerilog
- Обзор методологий UVM и OVM
- Маршрут верификации UVM. UVM Express, UVM Connect (Mentor Graphics)
- Пример применения языка System Verilog для описания и тестирования интерфейсов и верификации модулей.

**16.00 – 16.30 Кофе-брейк**

**16.30 – 17.00 Часть III Системы на кристалле / на ПЛИС (SoC - SoPC).**

Программные и аппаратные компоненты систем на ПЛИС. Интерфейсы систем на ПЛИС.

*Докладчик - Борис Кривошеин:*

- Семейства Zynq-7000 и Zynq UltraSCALE + (Xilinx)
- Применение IP-ядер при проектировании систем на кристалле.

**17.00 – 18.00 Часть IV Пример применения средств высокоуровневого синтеза**

*Докладчик - Олег Медведев:*

- о Пример применения (Xilinx – Vivado HLS).